

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-105307

(43)Date of publication of application : 24.04.1998

(51)Int.Cl.

G06F 3/00
H01L 21/8238
H01L 27/092
H03K 19/0185

(21)Application number : 09-129241

(71)Applicant : INTERNATL BUSINESS MACH
CORP <IBM>

(22)Date of filing : 20.05.1997

(72)Inventor : HARRY RANDALL BICKFORD
PAUL WILLIAM KOTYUUSU
ROBERT HEATH DEHNERD
DANIEL MARK DREPS
GERALD VINCENT KOPUKUSEI

(30)Priority

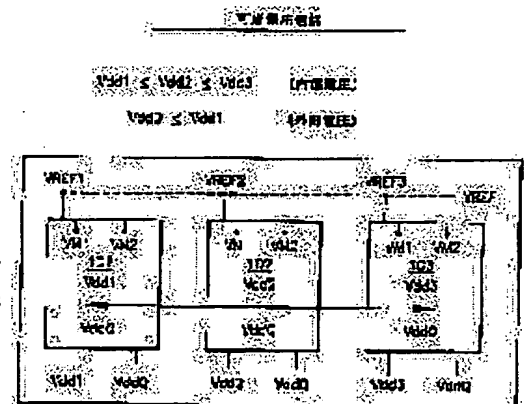
Priority number : 96 657849 Priority date : 31.05.1996 Priority country : US

(54) STRUCTURE FOR DRIVER AND RECEIVER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To allow the change of the internal voltage of all devices by transmitting and receiving signals at a delectable communication voltage level for interfacing voltage devices by a common communication voltage less than a lowest internal voltage.

SOLUTION: Three chips 101-103 are respectively operated by the internal voltages Vdd1-Vdd3. In this case, explanation is performed by the driver and receiver of a CMOS chip and a CMOS off chip. Then, all the chips transmit and receive data by an external voltage VddQ. Thus, the signals in common to all the chips are communicated by the common external voltage VddQ. The external voltage, that is the communication voltage VddQ, is changed in the direction to be less than the minimum value of the internal voltages of all the chips on a common bus. The chip for driving or receiving the voltage larger than the internal voltage is not requested. Further, a lowest voltage chip drives and receives the voltage by the internal voltage, a voltage conversion circuit is not provided and only a set of internal and external power rails is provided.



Vdd1, Vdd2, Vdd3: 内部電源電圧
VddQ: 外部電源電圧
VddQ: 外部電源電圧

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号 ✓

特開平10-105307

(43) 公開日 平成10年(1998) 4月24日

(51) Int.Cl.⁶ 識別記号
G 0 6 F 3/00
H 0 1 L 21/8238
27/092
H 0 3 K 19/0185

F I
G 0 6 F 3/00 L
H 0 1 L 27/08 3 2 1 L
H 0 3 K 19/00 1 0 1 D

審査請求 未請求 請求項の数7 O L (全 21 頁)

(21) 出願番号 特願平9-129241

(22) 出願日 平成9年(1997) 5月20日

(31) 優先権主張番号 08/657849

(32) 優先日 1996年5月31日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390009531

インターナショナル・ビジネス・マシー
ズ・コーポレーション

INTERNATIONAL BUSIN
ESS MACHINES CORPO
RATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72) 発明者 ハリー・ランドール・ピックフォード

アメリカ合衆国 10562 ニューヨーク州
オッシニング シェアウッド アヴェニ
ュー 57

(74) 代理人 弁理士 坂口 博 (外1名)

最終頁に続く

(54) 【発明の名称】 ドライバおよびレシーバ回路の構造

(57) 【要約】

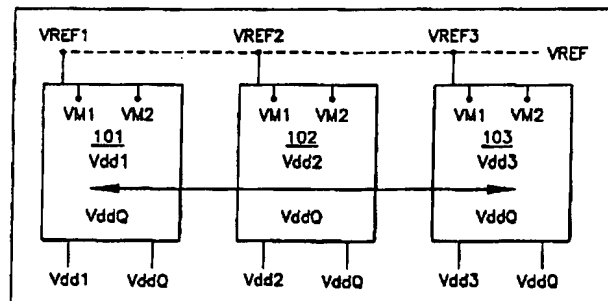
【課題】 同一または異なる内部電圧の複数の電子デ
バイス間の構造を提供する。

【解決手段】 同一または異なる内部CMOS電圧を有
する複数の電子デバイスと、2個以上の前記電子デバ
イス間の相互接続手段と、数世代のCMOS技術とインタ
フェースする選択可能な入力/出力電圧レベルを与える
ドライバ回路およびレシーバ回路とを有している。この
ような技術で製造されたチップが、各チップに最も適し
た単一電圧範囲を用いて通信することを可能にする。

可変電圧通信

$V_{dd1} \leq V_{dd2} \leq V_{dd3}$ (内部電圧)

$V_{ddQ} \leq V_{dd1}$ (外部電圧)



VM1, VM2, VREF 制御オフチップ・レシーバ

VM1, VM2 は、外部的または内部的に制御できる。

VREF は、外部的に制御できる。

【特許請求の範囲】

【請求項1】同一または異なる内部電圧を有する複数の電子デバイスと、

2個以上の前記電子デバイス間の相互接続手段と、
前記内部電圧のうちの最低の内部電圧以下の共通の通信電圧で前記2個以上の電子デバイス間をインタフェースするための選択可能な通信電圧レベルで、信号を送信および受信するドライバ回路およびレシーバ回路と、
前記選択された電圧のドライバおよびレシーバを形成する手段と、を備えることを特徴とする回路構造。

【請求項2】同一または異なる内部CMOS電圧を有する複数の電子デバイスと、

2個以上の前記電子デバイス間の相互接続手段と、
前記内部CMOS電圧のうちの最低の電圧以下の共通の通信電圧で前記2個以上の電子デバイス間をインタフェースするための選択可能な通信電圧レベルで、信号を送信および受信するドライバ回路およびレシーバ回路と、
前記選択された電圧のドライバおよびレシーバを形成する手段とを備え、

前記ドライバ回路は、インピーダンスを有し、
前記ドライバ回路のインピーダンスを、出力電圧とは無関係にする回路であって、出力電圧依存制御信号を使用しない回路を備える、ことを特徴とする回路構造。

【請求項3】同一または異なる内部電圧を有する複数の電子デバイスと、

2個以上の前記電子デバイス間の相互接続手段と、
前記内部電圧のうちの最低の内部電圧以下の共通の通信電圧で前記2個以上の電子デバイス間をインタフェースするための選択可能な通信電圧レベルで、信号を送信および受信するドライバ回路およびレシーバ回路と、
前記選択された電圧のドライバおよびレシーバを形成する手段と、
前記レシーバ回路のための電圧基準を選択して、外部電圧基準または内部電圧基準を用いることができるようにする回路と、を備えることを特徴とする回路構造。

【請求項4】同一または異なる内部電圧を有する複数の電子デバイスと、

2個以上の前記電子デバイス間の相互接続手段と、
他の電子デバイスとインタフェースするための選択可能な入力／出力電圧レベルを与え、前記他の電子デバイスが、各々に最も適した信号電圧範囲を用いて通信することを可能にするドライバ回路およびレシーバ回路と、
前記ドライバ回路の出力インピーダンスが、ドライバ回路の動作信号範囲にわたってほとんど変化しないことを保証する回路と、を備えることを特徴とする回路構造。

【請求項5】同一または異なる内部電圧を有する複数の電子デバイスと、

2個以上の前記電子デバイス間の相互接続手段と、
他の電子デバイスとインタフェースするための選択可能な入力／出力電圧レベルを与え、前記他の電子デバイス

が、各々に最も適した信号電圧範囲を用いて通信することを可能にするドライバ回路およびレシーバ回路と、
用いられる前記レシーバ回路の種類を選択しまたは調整して、外部から供給される基準電圧を有する差動コンパレータ回路の使用、または、調整可能なスレシヨルドを有するインバータ・スタイルのレシーバの使用を可能にする回路と、を備えることを特徴とする回路構造。

【請求項6】同一または異なる内部電圧を有する複数の電子デバイスと、

- 10 2個以上の前記電子デバイス間の相互接続手段と、
他の電子デバイスとインタフェースするための選択可能な入力／出力電圧レベルを与え、前記他の電子デバイスが、各々に最も適した信号電圧範囲を用いて通信することを可能にするドライバ回路およびレシーバ回路と、
用いられる前記レシーバ回路の種類を選択しまたは調整して、外部から供給される基準電圧を有する差動コンパレータ回路の使用、または、調整可能なスレシヨルドを有するインバータ・スタイルのレシーバの使用を可能にする回路とを備え、前記外部の基準電圧を所定の電圧に設定することによって、前記選択を行う、ことを特徴とする回路構造。

【請求項7】同一または異なる内部CMOS電圧を有する複数の電子デバイスと、

- 2個以上の前記電子デバイス間の相互接続手段と、
いくつかの世代のCMOS技術をインタフェースするための選択可能な入力／出力電圧レベルを与え、前記技術で製造されたチップが、各チップに最も適した信号電圧範囲を用いて通信することを可能にするドライバ回路およびレシーバ回路と、
30 用いられる前記レシーバ回路の種類を選択しまたは調整して、外部から供給される基準電圧を有する差動コンパレータ回路の使用、または、調整可能なスレシヨルドを有するインバータ・スタイルのレシーバの使用を可能にする回路とを備え、前記外部の基準電圧を所定の電圧に設定することによって、前記選択を行い、
スレシヨルドを、与えられた入力信号電圧範囲に対して適切に設定することを可能にする、前記インバータ・レシーバ回路の切り換えスレシヨルドを選択または調整する回路と、を備えることを特徴とする回路構造。

40 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、可変電圧CMOSオフチップ・ドライバ回路およびレシーバ回路、およびデータ処理システムにおけるそれらの使用に関するものである。

【0002】

【従来の技術】本発明は、データ処理システム、特に、システムのサイクル時間、コスト、信頼性を改善するための、電子デバイス間の通信のための改良された方法および装置に関する。最近の高速電子システムは、多くの

場合、共通バス上で互いに通信する、異なる内部電圧の複数のチップを有している。例えば、マイクロプロセッサ市場における激烈な競争の故に、最高の可能なクロック周波数を実現するために、製造メーカは、プロセッサ・チップについて最新のCMOS技術を使用するという大きな動機が存在する。しかし、メモリ機能およびキャッシュ・コントローラ機能を与えるチップは、多くの場合、通常2世代前のプロセッサ製造技術である、最も費用対効果の良い技術で製造される。確立されたCMOSスケール原理によれば、電源電圧 V_{dd} は、チップ最小リソグラフィ寸法が小さくなるにつれて、減少する。したがって、5V技術は、0.35~0.5ミクロンの最小寸法を有する高速の3.3V CMOSチップによって、ほとんど取って代わられてきた。次世代のCMOS(0.2~0.5ミクロン)は、2.5Vの V_{dd} を用いるであろう。続く世代の技術にとっては、電源電圧の将来のスケールは、2V以下になるであろう。すべてのチップが、同一電圧の信号を送信および受信するならば、それが最善であるが、問題を発生する。一般的な方法は、すべてのチップを高電圧で通信させることである。最近のCMOSにとって、その電圧は3.3または5.0Vである。このことは、低い内部電圧を有するチップに対し、いくつかの問題を生起させる。

【0003】1つの問題は、電圧変換回路の必要性による、遅延の増大と、チップ面積の増大とである。他の問題は、変換回路を有すると、トランジスタの薄い酸化物層が、高い外部電圧によってストレスを受け、故障限界に非常に近いところで動作することである。

【0004】発生する同様の問題は、異なる内部電圧のチップ間の互換性であって、同一または類似の機能ではない。例えば、コンピュータ産業における今日の一般的な方法は、チップを、低電圧の高速シリコン技術に“リマップ(re-map)”することである。したがって、3.3V内部電圧および0.4ミクロンのゲート長のプロセッサ・チップを、2.5V内部電圧および0.25ミクロンのゲート長の、より進歩したシリコン技術で作ることができるが、この場合、動作周波数が増大し、チップ電力が減少する。問題は、3.3Vプロセッサは、外部レベル2キャッシュに用いられる3.3V SRAMと容易に通信できるが、2.5Vプロセッサは通信問題を有しており、電圧変換回路を用いなければならないことである。同様にSRAMは、低電圧に“マップ(map)”される。プロセッサおよびSRAMの両方が、2.5Vあるいは1.8Vの内部電圧を有し、3.3Vの外部CMOS信号と通信することであるが、考えられるシナリオであるが、その場合、回路コスト、電力、遅延が増大する。高い外部電圧は、また、回路の信頼性を低下させる。

【0005】他の提案は、すべてのチップを、いかなる内部電圧よりも低い電圧で通信させることである。一例

は、Solid State Products Engineering Council(JEDEC) division of Electronic Industries Association(EIA)による1.2V HSTL(High Speed Transceiver Logic)標準である。この方法は、すべてのチップが同一電圧を有する簡単なシステムに対して、複雑なパッケージングを必要とする。さらに、この低電圧インタフェースの小さい信号スイングは、高電力のチップ、すなわち2.5Vプロセッサ・チップおよび1.2Vインタフェースにとって、非常に小さく、内部回路とインタフェース回路との間の結合ノイズは、誤りデータをシステムバスに生じさせる。それにもかかわらず、このようなインタフェースが望まれる場合がある。このような非常に低い電圧インタフェース(差動コンパレータ・タイプのレシーバおよび外部より供給された電圧基準 V_{REF} を必要とする)と、標準CMOSインタフェース(レシーバとして、CMOSインバータで最善に制御される)との間を切り換える手段を有することが、非常に役立つであろう。

【0006】本願発明者による前の発明は、米国出願された“VARIABLE VOLTAGE, VARIABLE IMPEDANCE CMOS OFF-CHIP DRIVER AND INTERFACE AND CIRCUITS”であり、これは、CMOSで構成された、可変電圧ドライバおよびレシーバ回路を開示している。この回路は、CMOS信号(すなわち、グランドとI/O電圧すなわち V_{ddQ} との間でスイングする信号)を種々の電圧で送信および受信する($V_{ddQ} < V_{dd}$ (内部電源電圧)の関係がある限り)のに用いることができる。これを実現するのに、デジタル信号を用いて、ドライブおよびレシーバ回路の特性を変化させた。ここに説明する新しい本発明は、ドライブ回路のデジタル制御の要件を除去することによって、構成に改良を加えている。また、前記米国出願は、CMOSインバータのみを経て信号を受信している。すなわち、HSTL, GTL, CTT, SSTLのような最近承認されたJEDEC標準に記述されている外部基準電圧 V_{REF} を用いることができなかった。ここに説明する本発明は、CMOSインバータを経て、あるいは V_{REF} 信号を用いることによってコンパレータ回路を経て、両方のCMOS信号を受信する。

【0007】

【課題を解決するための手段】本発明の目的は、バスすなわち共通組の通信ラインを共有する複数の電子デバイスの構造であって、低電圧デバイス技術に変更した場合に、すべてのデバイスの内部電圧の変化を許容できる電子デバイス構造を提供することにある。

【0008】本発明の他の目的は、このフレキシビリティを、電源または終端抵抗のような縮小された組のサポ

ート・デバイスと共に有することである。

【0009】本発明のさらに他の目的は、バス上で通信するチップのすべての内部電圧が同じ場合に、従来の通信レベル、すなわちCMOSシグナリングを保持することである。

【0010】本発明のさらに他の目的は、バス上の通信電圧を自動的に変更することを可能にすることにある。

【0011】本発明のさらに他の目的は、通信電圧のこのフレキシビリティを、信号遅延または制御の複雑性をかなり増大させることなく有することにある。

【0012】本発明のさらに他の目的は、通信電圧のこのフレキシビリティを、改善されたシステムの信頼性と共に有することにある。

【0013】本発明のさらに他の目的は、このフレキシビリティを、新しい電圧を与える以外に変更を必要とすることなく有することにある。

【0014】本発明のさらに他の目的は、通信電圧を、バス上のすべてのデバイスの内部電圧以下にすることにある。

【0015】本発明のさらに他の目的は、システムにおける改善された信号品質を与えることにある。

【0016】本発明は、同一または異なる内部電圧の複数の電子デバイス（これらの間で通信する）間の構造を提供する。この構造は、CMOS回路に基づいた電子システムに用いるのに特に有用である。本発明を説明するために、グラウンドまたは或る正の電圧に対してほぼ0Vの電圧パルスを、高周波数で送信または受信するように設計されたオフチップCMOSドライバおよびレシーバ（OCDまたはOCR）について言及する。pFET（正の電界効果トランジスタ）デバイスおよびnFET（負の電界効果トランジスタ）デバイスと、抵抗とを使用する。オンチップ回路の内部電圧（ V_{dd} ）は3.3Vであり、外部すなわち通信電圧（ V_{ddQ} ）は、3.3V以下となる。あるいはまた、電圧 V_{dd} は2.5Vであり、電圧 V_{ddQ} は、2.5V以下となる。今日必要とされる最小の V_{ddQ} は、1.1Vであり、いわゆるGTLレベルを与える。

【0017】したがって、OCDは、通常の大い p F E T プルアップ・デバイス（チップ出力上にドレインを、オフチップ電圧レールまたは V_{ddQ} 上にソースを有するP F E T）と、大きい n F E T プルダウン・デバイス（チップ出力上にドレインを、グラウンドにソースを有する n F E T）とに基づいている。さらに、 V_{ddQ} が V_{dd} よりも十分に小さいときに、動作を助ける n F E T プルアップ・デバイスを加える。大きい p F E T へのゲートまたは入力、グラウンドに低速にドライブし、 V_{ddQ} に急速にドライブするように構成された3入力NAND（3反転入力論理AND回路）である。もちろん、ドライバを切り換えるのに、2つの独立制御信号、すなわちデータおよびデータ・イネーブルが必要とされるなら

ば、2入力NANDを用いることができる。大きい n F E T へのゲートまたは入力は、 V_{dd} （ V_{ddQ} でないことに留意されたい）に低速にドライブするが、グラウンドに急速にドライブするように構成された、3入力（または2入力）NOR（3反転入力論理OR回路）である。このような構成では、n F E T および p F E T の出力デバイスが共に導通することは本質的になく、したがってデバイスを V_{dd} からグラウンドへ流れる電流を最小にする。n F E T の出力は、静放電ダイオード構造（ESD）と接続される前に、小さい直列抵抗を有する。この直列抵抗は、負荷回路へのドライバ出力インピーダンスを調整し、および“スパーク”またはESD事象の際に、n F E T デバイスに誘起される電圧を減少させるのに役立つ。大きいプルアップ・デバイス（p F E T および n F E T の両方）のターンオンは、スタック・ゲートドライブ・デバイスとゲート入力との間に抵抗を用いることによって制御される。p F E T デバイスと n F E T デバイスとの間の比は、出力インピーダンスが V_{ddQ} とはほぼ無関係であり、したがって外部制御が必要でないように、注意深く選択される。この比を一定にした後、すべてのトランジスタのサイズは、プルアップ・デバイスおよびプルダウン・デバイスに対して一般に同一である所望の出力インピーダンスに対して調整される。

【0018】大きい p F E T デバイスおよび n F E T デバイスの両方は、2並列デバイスとして配置される。2つの並列デバイスの一方は、高インピーダンス出力が必要とされるとき、例えば、おそらく2つのチップ通信を有する軽負荷ネットをドライブするときに、用いられる。強力な低インピーダンス・ドライバが必要とされるとき、例えば多数のチップを有する高負荷バスをドライブするとき、両方の並列デバイスがドライブされる。前述した本願人による米国特許出願の明細書で説明したように、ドライバ・インピーダンスを変える構成ライン（または複数のライン）は、チップの外部に設けられ、共通バス上のドライバのインピーダンスを制御するのに用いることができる。というのは、新しいユニットは、共通バス上に挿入されるからである。

【0019】OCRは、ツイスト（twist）を有する2つの従来の構成の混合である。OCRは、差動コンパレータとして働き、サンプルされた入力信号が、外部から供給される基準電圧 V_{REF} の少し下から少し上にスイングするとき、低電圧と高電圧との間で急速に切り換わる。このコンパレータ回路は、非反転である。すなわち、その出力は、入力と同じ極性を有している。コンパレータ回路は非反転であるので、コンパレータ回路を、段0と呼ぶ。このコンパレータOCRの次の段すなわち第1段は、CMOSインバータである。したがって、CMOSインバータは、 V_{dd} にソースが接続された小さい p F E T プルアップ・デバイスと、グラウンドにソースが接続された小さい n F E T プルダウン・デバイス

とである。インバータのスレシヨルド、すなわち切り換え点は、各デバイスの相対サイズによって決定される。このインバータは、また、CMOSモードで動作するように構成されているときには、OCRの入力すなわち第1段としても働くことができる。このモードをアクセスするには、VREF信号をV_{dd}に等しくなるように設定する（VREFをグランドに設定することによって、このモードになるミラー回路を形成することができる）。VREF=V_{dd}の場合には、小さいパスゲート回路が付勢され、入力が第1段の差動コンパレータ（遮断された）に送られ、第1のインバータ段に直接に入力することを可能にする。このインバータのスレシヨルドを、pまたはnチャンネルFETのサイズを変えることによって、調整することができる。スレシヨルドを変える方法は、前述した本出願人による米国特許出願に記載されている。スレシヨルドを調整するには、各デバイスは、2並列デバイスより構成される。並列デバイスの一方が常に設けられ、他方はV_{dd}Qの値に応じて、インまたはアウトに切り換えられる。CMOSモードでは、レシーバに対して4つのインバータ段（1～4）が存在し、コンパレータ・モードでは5つのインバータ段（0～4）が存在する。最終段インバータは、チップ・ロジックをドライブする。内部段番号3を用いて、テスト・データ入力でマルチプレクサ機能を実行する。その結果、チップ入力からのデータ、または内部レジスタからのデータを用いて、内部チップ・ロジックをドライブすることができる。

【0020】デバイスは、次のように用いられる。好適な実施例では、同一または異なる内部電圧のチップが一緒に共通バスに接続される。最低の可能な内部電圧は1.8Vであり、最大の可能な内部電圧は3.3Vである。明らかに、この技術は、これらの選択に限定されるものではなく、今日設計される高速電子システムを代表するこれらの値を選択することができる。このスタイルのOCRおよびOCD、すなわち好適な実施例において内部電力レール電圧から小電圧1.1Vへの可変電圧が、いかなるデバイスのCMOSチップにも用いられるものと考えられる。

【0021】すべてのチップが可変電圧機能を有する必要はないが、チップが多くなればなるほど、フレキシビリティが大きくなる。例えば、1つのチップがV_{dd}=3.3Vを有し、1つのチップがV_{dd}=1.8Vを有するならば、V_{dd}=1.8Vのチップは、単一の電圧V_{dd}Qインタフェースを1.8Vで有することのみ必要である。

【0022】これらのOCRおよびOCD構成は、データ処理装置に用いられる、3.3V、0.36ミクロン最小ゲート寸法CMOSプロセッサ構成に組み入れられる。

【0023】

【発明の実施の形態】以下に説明するドライバ回路およびレシーバ回路は、図1に示される状態で用いるのが好適である。図1では、3個のチップ101、102、103が、それぞれ、内部電圧V_{dd}1、V_{dd}2、V_{dd}3で動作する。本発明をCMOSチップおよびCMOSオフチップのドライバおよびレシーバによって本発明を説明するが、設計原理は、さらに、他のシステムおよび技術に対して有効である。すべてのチップは、外部電圧V_{dd}Qでデータを送信および受信する。したがって、すべてのチップに共通の信号が、図示のように、共通の外部電圧V_{dd}Qで通信される。この外部電圧すなわち通信電圧V_{dd}Qは、共通バス上のすべてのチップの内部電圧の最小値以下となる方向に変化する。

【0024】内部電圧よりも大きい電圧をドライブまたは受け取るチップは要求されない。このことは、チップ面積および遅延に関する、電圧変換回路のオーバーヘッドの大半を除去し、および過電圧信頼性の問題を除去する。さらに、最低電圧チップは、その内部電圧で電圧をドライブし受け取ることができ、電圧変換回路は有さず、1組の内部および外部電力レールのみを有している。一般に、最低電圧チップは、また、最大出力、最高速度、最高価格のチップ（プロセッサチップ、これが最近のコンピュータ・システムならば）であるので、最小の複雑性、最大の信頼性、最高速度を有したいチップは、そのようにすることが可能である。通信電圧を、信号ピンによりデジタル・レベルで外部的に設定することができ、あるいはプログラマブル・インタフェースによって制御することができ、あるいは必要ならば、外部電力レールの電圧をサンプリングすることによって、チップ上で内部的に発生させることもできる。図1において、制御信号VM1、VM2は、各チップ101、102、103の内部信号として示されており、V_{dd}=3.3Vの場合に、図12の回路を用いて取り出すことができる。これらの同一信号は、図13のレシーバ構造内に示されている。

【0025】ドライバ200は、図2の回路図に示すように、出力デバイスに接続されたロジック回路およびブレドドライブ回路より構成されている。図8は、さらに詳細に示している。ドライバ回路は、V_{dd}Qのすべての値に対して同じである、すなわちドライバは1.1V～3.3Vの出力電圧で動作し、出力インピーダンスはほとんど変化しないことに留意することは重要である。出力インピーダンスの値は、図2のすべての出力デバイスの幅を変更することによって変えることができる。これは、図3に示されている。

【0026】図2のドライバ出力段は、通常のCMOS構造に接続されたnFETデバイスおよびpFETデバイス、すなわちプルアップとして用いられるpFET201と、プルダウンとして用いられるnFET202とから構成されている。pFETデバイスのゲートは、3

入力NAND203によって、グラウンドから $V_{dd}Q$ すなわちI/O電圧にドライブされ、nFETプルダウン・デバイスのゲートは、3入力NOR204によって、グラウンドから V_{dd} すなわち内部チップ電圧にドライブされることに留意すべきである。さらに、並列nFETプルアップ・デバイス205（ゲートは、3入力NOR206によってグラウンドから V_{dd} にドライブされる）は、pFET201の $V_{dd}Q$ に対するインピーダンスの変動を消去するために用いられる。抵抗207、208は、大形pFETデバイスおよびnFETプルアップ・デバイスのターンオンをそれぞれ制御し、抵抗209、210は、ドライバ・インピーダンスを、代表的な50Ω伝送ライン（図示せず）のインピーダンスに整合させるのに役立つ。7Ω抵抗211は、チップI/Oセルをチップ配線パッドに接続する際の典型的な配線抵抗を示している。抵抗209、210は、また、静放電（スパーク）の際にnFETトランジスタ205、202に誘起される電圧を減少させる働きをする。

【0027】デバイス202のサイズは、高出力電圧から低出力電圧への変移の際に、所望のインピーダンスを与えるように選ばれる。この回路に対しては、公称の所望のインピーダンスは42Ωであり、この値は、図3の曲線212によって示されるように、1.1～3.3Vの $V_{dd}Q$ に対して得られる。インピーダンスは、この範囲に対して一定である（±3Ω）。他方、pFETプルアップ201のインピーダンスは、この同一の電圧範囲に対して42Ωから290Ωへ、すなわち図3の曲線213によって示されるように、低出力状態から高出力状態へ変化する。この場合、pFETは、低 $V_{dd}Q$ で、より導通しなくなる。出力インピーダンスのこの大きな変化は、nFETプルアップ205の出力インピーダンスの同様の変動（図3の曲線216に見られるように、反対の方向の）により相殺される。この場合、低 $V_{dd}Q$ で、nFETはより強くなる、すなわちより導通するようになる。2つのデバイスが適切な比で選ばれると、出力インピーダンスの電圧依存性を、並列な2つのデバイス201、205のインピーダンス、すなわち図3の曲線220によって示されるように、ほとんど相殺することができる。前述したように、インピーダンスは、一定（±3Ω）である。2つのデバイスの比を一定にして、電圧依存性の大半を除去した後、デバイスの幅を、同一ファクタだけ変更して、インピーダンス整合抵抗210に直列のプルダウンnFET202のインピーダンスを整合させることができる。曲線216、220は、インピーダンス整合抵抗209の効果を含むが、この抵抗なしに、相殺を実現することができる。FET201、202、205に関連した対の数字は、好適な実施例のpFET（nFET）の3.3V CMOS技術の0.36（0.039）ミクロンの最小ゲート長に対するデバイスの幅および長さ（ミクロン）である。

【0028】ドライバ200のインピーダンスを、すべてのデバイスの幅を比例的に増大（減少）させ、最終段の配線抵抗211の前のすべての抵抗の値を比例的に減少（増大）させることによって、低下（増大）させることができる。図4は、25Ω公称出力インピーダンスに対して設計されたドライバ300を示す。すべての抵抗307、308、309、310の値は、対応する抵抗207、208、209、210の値の1/2であり、すべてのトランジスタ301、302、305の幅は、対応するトランジスタ201、202、205の幅の2倍である。一定のドライバ・ターンオン/ターンオフ特性を保持するには、ブレードドライブ段203、204、206の内部のデバイスの同様の処理が要求される。図4のドライバ300のインピーダンスは、ドライバ300（200）の不変の7Ω抵抗311（211）の効果を一旦考慮すると、図2のドライバ200のインピーダンスの1/2となる。

【0029】出力ハイまたは出力ローをそれぞれドライブする際の図2の曲線220、212、すなわちドライバのインピーダンスは、I/O電圧が1.1Vから3.3Vに、すなわちJEDEC標準委員会（Symmetric GTL, HSTL, LVCMOS, CTT, SSTL）により定義された低電圧標準仕様の全範囲にわたって変化しても、ほぼ一定である。出力インピーダンスの変動は、温度、電圧（ V_{dd} ）、CMOSプロセス変動（ゲート寸法、酸化物厚さ、導電率などの変動）によって影響を受ける。図5は、ドライバ200の温度を変化させたときの影響を示す。曲線420（412）は、曲線220（212）と同じであり、公称温度すなわち $T=40^{\circ}\text{C}$ での、プルアップ（プルダウン）デバイスのインピーダンスを示している。曲線420は、インピーダンス対 $V_{dd}Q$ において正および負の両方の曲率を有し、 $V_{dd}Q$ に対するインピーダンスの1次および2次の変動の両方を、FET201、205と制御回路203、206との両方の使用によって、相殺できたことを示していることに留意すべきである。また、曲線412はほぼ一定であるが、 $V_{dd}Q$ に対して1次および2次の両方の変動を有していることに留意すべきである。この変動のある程度を、必要ならば、pFETプルダウンを用いることによって除去することができる。ドライバ200について、発明者らは、デバイス202の $V_{dd}Q$ に対するインピーダンス変動は、pFETプルダウンが必要でないほど十分に小さいことに気づいた。

【0030】曲線430（440）は、ドライバ200のプルアップ・インピーダンスが、温度が105℃（10℃）に変わると、どのように変化するかを示している。この変動は、CMOSを象徴しており、 $V_{dd}Q$ に対するインピーダンスの変動よりも大きい。同様に、曲線422（432）は、ドライバ200のプルダウン・インピーダンスが、温度が105℃（10℃）に変わる

と、どのように変化するかを示している。また、変動は、CMOSについて予測されることであり、 V_{ddQ} に対するインピーダンスの変動よりも大きい。図6の曲線530は、CMOSプロセス変数が公称から3標準偏差に低速に変わるにつれて（ドライバをスローダウンさせるように、ゲート寸法が増大するなど）、どのように曲線420が変化するかを示している。同様に、曲線540は、CMOSプロセス変数が公称から3標準偏差に高速に変わるにつれて（ドライバをスピードアップさせるように、ゲート寸法が減少するなど）、どのように曲線420が変化するかを示している。この変動は、CMOSを象徴しており、 V_{ddQ} に対するドライバ・インピーダンスの変動よりも大きい。曲線522, 532は、プルダウン・インピーダンス曲線412が、プロセスの同一変動に対してどのように変化するかを示している。

【0031】同様に、図7の曲線630, 640は、内部電圧 V_{dd} がそれぞれ+5%, -5%変化すると、曲線420がどのように変化するかを示している。また、予測される V_{dd} の変動に対するドライバ・プルアップ・インピーダンスの変化は、 V_{ddQ} が1.1Vから3.3Vに変わるときに観察される変化よりも大きい。図7の曲線622, 632は、内部電圧 V_{dd} がそれぞれ+5%, -5%変化すると、曲線412がどのように変化するかを示している。また、予測される V_{dd} の変動に対するドライバ・プルダウン・インピーダンスの変化は、 V_{ddQ} が1.1Vから3.3Vに変わるときに観察される変化よりも大きい。

【0032】ブレドライブ回路は、必要なドライブ信号を、各出力プルアップ・デバイスまたはプルダウン・デバイスのゲートに与える。ブレドライブ・ロジックは、制御信号を用いて、与えられた出力電圧モードまたはインピーダンス・レベルに対してどの出力デバイスがドライブされるかを選択する。ブレドライブ回路は、ローからハイへの変移の際にpFET出力デバイスをターンオンする前に、nFET出力デバイスが急速にターンオフされるように、構成されなければならない。プルアップ・デバイスおよびプルダウン・デバイスの両方が、同時にターンオンするならば、これらデバイスは、 V_{ddQ} からグラウンドへ直接にシュート・スルー（shoot-through）電流を流すであろう。このことは、過剰な電力を消費し、および信頼性の問題を持ち出すであろう。逆に、ハイからローへの変移の際に、ブレドライブ回路は、nFET出力デバイスをターンオンする前にpFET出力デバイスをターンオフして、シュート・スルー電流を避けなければならない。これらの不所望な状態は、図6および図7に示されるように、ブレドライブ・ロジックの適切な設計によって避けられる。出力nFETデバイスは、NORゲートによってドライブされるので、これらのデバイスは、デバイスによって並列（高速）にターンオフされ、デバイスによって直列（低速）

にターンオンされる。出力pFETデバイスに対して、ブレドライブ回路はNANDゲートであり、したがって、これらデバイスは、また、デバイスによって並列（高速）にターンオフされ、デバイスによって直列（低速）にターンオンされる。これらNANDゲートおよびNORゲートのプルアップ・パスおよびプルダウン・パスにおいて、ほぼ同じデバイス幅を選ぶことによって、前述した適切なシーケンス制約は満たされ、シュート・スルー電流は避けられる。さらに、ブレドライブ・トランジスタのサイズは、スイッチング電流 $d i / d t$ の許容限界を越えることなく、ブロック遅延を最小にするように選ばれる。

【0033】図2に示されるように、ブレドライブNANDゲート203に V_{ddQ} から電力供給することによって、 V_{ddQ} が変化しても、出力pFET201のターンオンおよびターンオフについて、適切なシーケンスが保持される。回路203の詳細は、図8に示されている。デバイス202がターンオフするときに両デバイス201, 202に過剰な電流（いわゆるシュート・スルー電流）が流れることを避けるためには、デバイス202がターンオンする前に、デバイス201を急速にターンオフすることが必要である。これは、デバイス202をターンオンし、デバイス201をターンオフさせる論理信号すなわちA0（データ）のためのデバイスを、大きくすることによって達成できる。したがって、pFETデバイス701は、14ミクロン幅のpFET702, 703、あるいはデバイス201をターンオンするのに用いられるスタックnFETデバイス704, 705, 706のいずれよりもかなり大きい、70ミクロン幅×0.36ミクロン長である。抵抗207は、pFET201のターンオンをさらに遅延させるのに用いられる。

【0034】出力nFET202, 205のターンオン時の不必要な遅延を避けるには、ブレドライブNORゲート204, 206を、 V_{dd} から直接にそれぞれ電力供給することが必要である。また、過剰なシュート・スルー電流を避けるには、デバイス204を急速にターンオフすることが必要である。これは、デバイス201をターンオンし、デバイス202をターンオフさせる論理信号すなわちA0（データ）のためのデバイスを、大きくすることによって達成できる。したがって、pFETデバイス711は、10ミクロン幅のnFET712, 713、あるいはデバイス202をターンオンするのに用いられるスタック・デバイス714, 715, 716のいずれよりもかなり大きい、40ミクロン幅×0.39ミクロン長である。

【0035】nFETプルアップ205のためのブレドライブ段206は、デバイス205を急速にターンオフし、低速にターンオンするように構成されている。急速ターンオフは、並列nFETデバイス721, 722, 723（それぞれ10ミクロン幅×0.39ミクロン

長)によって保証され、デバイス205の低速ターンオンは、抵抗208と直列の直列pFETデバイス724, 725, 726によって実現される。

【0036】前述したすべての場合において、ブレードドライブ段に反転があり、出力段にさらなる反転があり、ドライバが非反転構成となっていることに留意すべきである。

【0037】本明細書を通じて、前述した回路の数値シミュレーションの結果を記述する。このシミュレーションは、0.25ミクロン有効ゲート長(L_{eff})CMOS技術および3.3Vの公称電圧に基づくモデルによって行った。回路遅延、インピーダンス、電流などは、CMOS寸法、回路温度、動作電圧の関数であるので、これらのパラメータは変動した。以下に、公称のワース・ケース(worse case)高速状態、およびワース・ケース低速状態について説明する。公称状態は、公称CMOS構造サイズ、温度40°C、公称電圧である。ワース・ケース高速状態は、公称よりも3標準偏差小さいCMOS構造サイズ、90°Cの温度、公称より+5%の電圧である。ワース・ケース低速状態は、公称よりも3標準偏差大きいCMOS構造サイズ、10°Cの温度、公称より-5%の電圧である。

【0038】図9は、3つの出力電圧範囲について10pFテスト負荷への、42Ωドライバ200のシミュレートされた電圧波形(ドライバ出力での)を示す。このシミュレーションは、図9の下部に示される最大ブロック遅延を決定するために、公称状態下での0.25ミクロン有効ゲート長(L_{eff})CMOS技術に基づいて行った。ブロック遅延は、低出力電圧から高出力電圧へ、あるいはこの逆の変移に対して、ほぼ同じであることに留意すべきである。ブロック遅延は、また、 V_{ddQ} すなわちI/O電圧が3.3Vから1.5Vに変わっても、ほぼ同じである。図10は、同一条件下での10pF負荷への電流を示す。 V_{ddQ} の減少につれて、ピーク電流および電流ランプ D_i/D_t の両方の近似1次減少が存在する。このことは、同一チップ上で多数のドライバが用いられるときに、同時切り換え効果を制御するのに望ましい。

【0039】図11は、前述したと同じCMOS技術を用いる公称状態について42Ω伝送ラインへの、42Ωドライバ200のシミュレートされた電圧波形(ドライバ出力での)を示す。これらの波形は、公称状態の下で、ドライバ出力インピーダンスが、すべての出力電圧レベルで、約42Ωであることを示している。

【0040】次に、可変電圧レシーバについて説明する。図12は、次のようなCMOSレシーバの詳細な回路図を示す。すなわち、このCMOSレシーバは、1.8V, 2.5Vまたは3.3VのLVCMOSレベル、あるいはHSTL, GTL, SSTL-3またはSSTL-2.5に対するJEDECインタフェース標準に対

応する信号電圧レベルの入力信号を、受信することができる。レシーバ・フロントエンドは、パスゲート1120を用いてバイパスできる差動入力段1110と組み合わされた、2個のCMOSインバータ段1140, 1150よりなる非反転構成である。このレシーバ・フロントエンドには、任意選択に、図13に詳細に示されるバウンダリ・スキャン・テスト用のマルチプレクサ1160を後続できる。

【0041】すべてのインバータ段は、CMOSチップのグラウンドと内部電圧レール V_{dd} との間に接続される。マルチプレクサ(図13参照)の一部であるレシーバの最終段は、約1pF負荷キャパシタンスをドライブできる大形CMOSインバータである。LVCMOSモード(3.3V, 2.5Vまたは1.8Vの入力信号レベル)に用いられるときには、レシーバへの入力1101は、パスゲート1120を経て、第1段のインバータのゲート1141に接続される。LVCMOS動作を選択するには、基準信号 V_{ref} (1181)を、CMOS内部電圧レール3.3Vに接続する。このことは、同時に、差動入力段1110をディスエーブルし、信号Y(1182)および $Y_{\bar{}}$ (1183)によりパスゲート1120をアクティベートする。信号Yおよび $Y_{\bar{}}$ は、図14に詳細に示す制御回路1180によって発生される。 $V_{ref} = V_{dd}$ の場合には、信号Y(1182)はハイであり、その相補信号 $Y_{\bar{}}$ (1183)はローである。信号YはnFET1122のゲートに接続され、信号 $Y_{\bar{}}$ はpFET1121のゲートに接続され、したがってパスゲート1120をターンオンする。また、信号 $Y_{\bar{}}$ (1183)はnFET1131のゲートに接続され、ローのとき、pFET1132を流れる電流をターンオフし、これが差動段1110をディスエーブルする。入力インバータ段1140は、可変スレシヨルドを有している。このスレシヨルドは、次のように変化する。図15に詳細に示される制御ブロック1170は、2つの制御ラインVM1(1172)およびVM2(1173)を発生する。これら制御ラインは、真理値表1174に従って、第1段インバータ1140のスレシヨルドを変更するために用いられる。制御ラインVM1がハイ(3.3V)で、制御ラインVM2がロー(0V)の場合には、レシーバは2.5Vモードにある。この場合、インバータ1140は、公称状態下で、約1.25Vすなわち $V_{ddQ}/2$ で、状態を切り換えなければならない。これは、pFET1144およびnFET1147の両方をターンオンすることによって達成される。その結果、インバータ1140は、3.2ミクロン幅×0.36ミクロン長のpFET1142と、pFETスタック1144, 1145(それぞれ、3.2ミクロン幅×0.36ミクロン長)との両方を並列に有している。その結果、6.4ミクロン幅×0.36ミクロン長の有効pFETブルアップ・デバイスとなる。同様に、

nFET1143は、nFET1146、1147と並列であり、nFETプルダウン・デバイスの有効サイズは、8.0ミクロン幅×0.39ミクロン長である。このように構成された第1段のインバータ1140は、許容できるプロセス、温度、電源電圧の変動状態で、1.17Vと1.22Vとの間の切り換え点を有している。制御ラインVM1がハイで、制御ラインVM2がハイのとき、レシーバは1.8Vモードにある。この場合、インバータ1140は、公称状態で、ほぼ1.0Vすなわち $V_{ddQ}/2$ より少し上で、状態を切り換えなければならない。低信号スイングでグラウンド・バウンス (ground bounce) から大きく免れるために、スレショルドを $V_{dd}/2$ の少し上に設定した。これは、pFET1144をターンオフするが、nFET1147をオンのままとし、その結果、インバータ1140が、プルアップ・デバイスとしてpFET1142のみを含むようにすることによって、達成される。前述したように、nFET1143は、nFETスタック1146、1147と並列であり、インバータ1140のnFETプルダウン・デバイスの有効サイズは、8.0ミクロン幅×0.39ミクロン長のままである。このように構成された第1段のインバータ1140は、公称状態で、1.0Vの切り換え点を有しており、プロセス、温度、電源電圧の変化で、0.93Vから1.04Vに変動するが、このことは許容できる。

【0042】制御ラインVM1がローで、制御ラインVM2がローのとき、レシーバは3.3Vモードにある。この場合、インバータ1140は、ほぼ1.5Vすなわち $V_{ddQ}/2$ より少し下で、状態を切り換えて、3.3V CMOS信号の受信に際し、標準的な実行を満たさなければならない。これは、pFET1144をターンオンし、nFET1147をオフし、その結果、インバータ1140が、プルアップ・デバイスとして3個のpFET1142、1144、1145を有するが、プルダウン・デバイスがnFET1143のみであるようにすることによって、達成される。このように構成された第1段のインバータ1140は、公称状態で、1.52Vの切り換え点を有しており、低速および高速状態に対して60mV内で安定しており、このことは許容できる。

【0043】インバータ1150、すなわちレシーバの第2の段は、インバータ1140よりやや大きく、レシーバの回路遅延を減少させ、スレショルドをほぼ1.5V中心にするために、用いられる。インバータ1150は、10.0ミクロン幅×0.36ミクロン長のpFETプルアップと、5.0ミクロン幅×0.39ミクロン長のnFETプルダウンとを有している。これらデバ

スのゲートは、インバータ1140の出力に接続され、インバータ1150の出力は、バウンダリ・スキャン・マルチプレクサ1160をドライブする。

【0044】LVCMOSレベルの代わりに、外部から供給された基準電圧 V_{ref} (1181)を用いて、レシーバ切り換え点を設定する、いくつかのJEDECインタフェース標準が存在する。表1に要約するように、これらは、HSTL ($V_{ref} = 0.68 \sim 0.90V$, 0.75V公称), GTL ($V_{ref} = 0.74 \sim 0.88V$, 0.8V公称), SSTL-3 ($V_{ref} = 1.30 \sim 1.70V$, 1.50V公称), SSTL-2.5 ($V_{ref} = 1.25V$ 公称)を含んでいる。これら信号を受信するとき、差動入力段1110はアクティブであり、パスゲート1120はディスエーブルされる。 $V_{ref} < 1.7V$ に対し、制御回路1180は、制御信号Y (1182)をローに設定し、その相補信号 \bar{Y} (1183)をハイに設定する。信号YはnFET1122のゲートに接続され、信号 \bar{Y} はpFET1121のゲートに接続されて、パスゲート1120をターンオフする。また、信号 \bar{Y} (1183)はnFET1131のゲートに接続されて、ハイのとき、pFET1132を流れる電流をターンオンし、これは差動段1110をイネーブルする。差動段1110からの出力は、可変スレショルドCMOSインバータ1140に接続される。このインバータは、前述したように、制御信号VM1、VM2によって、約1.25Vで切り換え点を有する2.5V LVCMOSモードに設定される。差動入力、信号ブランチ内のトランジスタ1111、1112と、基準ブランチ内のトランジスタ1113、1114よりなる2本のブランチとから形成されている。トランジスタ1131、1132、1133から形成された電流源1130は、約1mAの電流を差動回路にドライブする。 $V_{in} > V_{ref}$ ならば、基準ブランチのデバイス1113、1114を、大きい電流が流れ、ノード1115の電圧を上昇させる。逆に、 $V_{in} < V_{ref}$ ならば、基準ブランチのデバイス1113、1114を、小さい電流が流れ、ノード1115の電圧を下降させる。したがって、差動段1110は、非反転である。差動出力1110の電圧スイングは、基準電圧 V_{ref} によってやや変動する。しかし、すべての場合におけるJEDEC標準 (GTLに対しては $V_{ref} = 0.68V$ 最小、SSTLに対しては1.7V最大) において遭遇する値の範囲については、前述したように第1のインバータ段1140の切り換え点を1.25Vに設定することによって、許容できる遅延が得られる。

【0045】

【表1】

I/Oインタフェース比較

記号	パラメータ	SSL ₃		HSTL	CTT	GTL		LVCMOS	LVTL	単位	注
		クラス I	クラス II			未終端	終端				
V _{DD}	デバイス電源電圧	MIN	V _{DD0}	-	-	-	-	2.7	3.0	V	
		NOM	ANY	3.3/2X	3.3/2X	50/33/2X	-	3.0	3.3		
		MAX	-	-	-	-	-	3.6	3.6		
V _{DD0}	出力電源電圧	MIN	3.0	1.4	-	1.14	-	-	-	V	
		NOM	3.3	1.5	V _{DD}	1.2	-	-	-		
		MAX	3.6	1.6	-	1.26	-	-	-		
V _{REF}	入力基準電圧	MIN	1.3	0.68	1.35	(2/3)V _{DD0} -Z _s	(2/3)V _{TT} -Z _s	-	-	V	
		NOM	1.5	0.75	1.5	0.8	0.8	-	-		
		MAX	1.7	0.90	-	(2/3)V _{DD0} +Z _s	(2/3)V _{TT} +Z _s	-	-		
V _{TT}	終端電圧	MIN	V _{REF} -0.05	-	-	-	1.14	-	-	V	
		NOM	V _{REF}	V _{REF}	V _{REF}	-	1.2	-	-		
		MAX	V _{REF} +0.05	-	-	-	1.26	-	-		
V _{IF}	DC入力ロジックハイ	MIN	V _{REF} +0.20	V _{REF} +0.10	V _{REF} +0.2	V _{REF} +0.05	-	2.0	2.0	V	
		MAX	V _{DD0} +0.3	V _{DD0} +0.3	-	-	-	V _{DD} +0.3	V _{DD} +0.3		
V _{IL}	DC入力ロジックロー	MIN	-0.30	-0.30	-	-	-	-0.3	-0.3	V	
		MAX	V _{REF} -0.20	V _{REF} -0.10	V _{REF} -0.2	V _{REF} -0.05	-	0.8	0.8		
V _{OH}	ハイレベル出力電圧	MIN	V _{TT} +0.5	V _{DD0} -0.40	V _{REF} +0.4	V _{DD0} -0.4	-	V _{DD} -0.2	2.4	V	
V _{OL}	ローレベル出力電圧	MAX	V _{TT} -0.6	0.40	V _{REF} -0.4	0.4	0.4	0.2	0.4	V	
I _{OH}	出力最小ソースDC電流		8	16	-	4	-	-	-	mA	1
I _{OL}	出力最小シンクDC電流		8	16	-8 TO -48	4	40	-	-	mA	2

1. HSTLについて、I_{OH}はクラスI、II、IVに対して8mAであり、またはI_{OH}はクラスIIに対して16mAである。

2. HSTLについて、I_{OH}はクラスIに対して8mAであり、クラスIIに対して16mAであり、クラスIIIに対して24mAであり、クラスIVに対して48mAである。

【0046】表2、表3は、遅延と、待機電流と、低速、高速、公称状態を含む、図12のレシーバについての、前述したすべての情報を含んでいる。レシーバを通じての遅延は、立上り時間が、1ナノ秒から6ナノ秒に変わるとき、入力パルスの立上り時間とはほとんど無関係であることに留意すべきである。これは、レシーバの

非常に望ましい特性である。レシーバを通じての遅延は、また、I/O電圧とはほとんど無関係に変化し、可変電圧の応用においてその利点を示す。

【0047】

【表2】

		1 NS 立ち上がり時間			6 NS 立ち上がり時間				
		DATA_IN / DATA_OUT (NS)	DATA_OUT / HUX_OUT (NS)	トータル (NS)	DATA_IN / DATA_OUT (NS)	DATA_OUT / HUX_OUT (NS)	トータル (NS)	I (mA)	I (mA) DFT AMP OFF/ON
3.3V LVCMOS (V _T =1.5V)	F	.20/.20	.24/.24	.44/.44	.30/.33	.24/.25	.54/.58	0	0
	H	.33/.32	.39/.39	.72/.71	.50/.48	.40/.40	.90/.87	0	0
	S	.50/.48	.60/.60	1.10/1.07	.76/.67	.61/.60	1.37/1.26	0	0
2.5V LVCMOS (V _T =1.25V)	F	.14/.22	.24/.24	.38/.46	.08/.48	.24/.26	.32/.74	.07	0
	H	.28/.30	.40/.39	.67/.69	.39/.50	.40/.40	.79/.90	.02	0
	S	.44/.44	.60/.59	1.05/1.04	.69/.62	.61/.60	1.30/1.22	.01	0
1.8V LVCMOS (V _T =0.9V)	F	.21/.24	.24/.25	.45/.48	.33/.39	.24/.26	.58/.65	.32	0
	H	.39/.34	.40/.40	.79/.74	.82/.33	.40/.40	1.22/.73	.15	0
	S	.60/.53	.60/.60	1.20/1.13	1.25/.43	.60/.60	1.86/1.03	.08	0
3.3V SSTL (V _{REF} =1.5V)	F	.21/.23	.24/.24	.45/.48	.30/.35	.24/.24	.54/.59	0	.40/1.67
	H	.38/.41	.39/.39	.77/.80	.51/.57	.39/.39	.91/.97	0	.26/1.06
	S	.64/.66	.60/.60	1.24/1.25	.80/.88	.60/.60	1.40/1.48	0	.17/.71

【0048】

【表 3】

2.5V SSTL (V _{REF} =1.25V)	F	.22/.24	.24/.24	.46/.49	.31/.37	.24/.24	.56/.61	0	.76/1.70
	H	.37/.41	.39/.39	.77/.81	.54/.59	.39/.39	.93/.99	0	.45/1.07
	S	.59/.65	.60/.60	1.20/1.25	.82/.90	.60/.59	1.43/1.50	0	.32/.61
HSTL (V _{REF} =0.75V)	F	.23/.34	.24/.25	.47/.58	.31/.54	.24/.25	.55/.79	.13	1.59/1.75
	H	.39/.50	.40/.39	.79/.89	.60/.71	.40/.40	.99/1.11	.03	1.01/1.09
	S	.61/.75	.60/.60	1.21/1.35	.92/1.02	.60/.60	1.52/1.62	.01	.68/.72
GTL (V _{REF} =0.8V)	F	.26/.36	.24/.25	.51/.61	.33/.61	.24/.25	.57/.86	.25	1.65/1.74
	H	.46/.54	.40/.39	.86/.93	.70/.83	.40/.40	1.09/1.23	.07	1.05/1.08
	S	.72/.81	.60/.60	1.32/1.41	1.10/1.21	.60/.60	1.70/1.81	.03	.70/.72

各遅延コラムにおける最初の数字は、L/H変移に対するものであり、次の数字は、H/L変移に対するものである。

F, N, S は : 高速 (10 C, V+5%, 3 σ 高速プロセス),
公称 (50 C, V, 公称プロセス),
低速 (90 C, V-5%, 3 σ 低速プロセス)
条件

VDDQ (MIN) 3.3V/2.5V/1.8V/1.5V/1.2V; VDD 3.3V

【0049】 レシーバの漏れ電流、すなわち入力での長 50 期間の不活動の後に、レシーバを経て V_{dd} からグラウンド

へ流れる電流は、3.3Vモードでは無視でき、2.5Vモードではほぼ150 μ Aになり、1.8Vモードでは高速状態で320 μ Aといったように大きくなる。このことは、表2、表3のI(mA)の下欄に示されている。1.8Vでのこの漏洩の理由は、プルアップ・デバイス1142が、レシーバへの1.8Vの正の入力によって、完全にターンオフしないことである。この問題は、デバイス1142を流れる電流を遮断するために、入力に他のプルアップ・デバイスを用いることによって解決することができるが、レシーバを通じての遅延を増大させる。あるいはまた、レシーバの複数の段の最初の段を、V_{dd}ではなくV_{ddQ}に接続することができるが、これはまた、1.8Vモードに対し遅延を増大させる。電力と遅延との間の選択は、妥協の結果である。この漏れ電流は、差動入力1110の動作に要求される電流よりもかなり低く、ワースト・ケースの高速状態に対しては、HSTLモードにおいて1.4mAと大きくなる。

【0050】

【発明の効果】要約すると、本発明は、異なる内部電圧のチップ間の通信方法を提供する。この通信方法は、通常の方法、すなわちすべてのチップが同一の電圧を有するときに、チップの内部電圧での通信に対して、省略の利点を有している。この通信方法は、通信電圧を、共通バス上のすべてのチップの最低内部電圧を有するチップの電圧に移すことができる利点を有している。したがって、通常、最高速で、最も安価で、最もセンシティブなチップである、最低の内部電圧を有するチップは、内部動作および外部動作の両方に対し、単一の電圧を有する。この通信方法は、チップが、その内部電圧よりも高い電圧を、他のチップへ送り、あるいは他のチップから受け取ることを決して必要としない利点を有している。この通信方法は、チップの内部電圧よりも低い外部電圧への変移が、極めて大きな遅延を、あるいはドライブ・インピーダンスのかんりの変化を生じさせない利点を有している。この通信方法は、要求されるチップ面積が、同一の内部電圧および外部電圧での動作に必要とされるチップ面積よりもわずかな増大ですむという利点を有している。この通信方法は、すべてのチップの最低内部電圧よりも低い通信電圧を用いて、既存の方法に従わせることができる利点を有している。この通信方法は、レシーバを、外部基準(V_{ref}を有する差動コンパレータ)または内部基準(CMOSインバータ)と共に用いて、既存の方法に従わせることができる利点を有している。この通信方法は、ドライバ回路が、制御回路なしに、出力電圧とは無関係のアップまたはダウンの変移に対し一定のインピーダンスを与える利点を有している。この通信方法は、前述した本出願人による米国出願に記載されたように、ドライバ・インピーダンスを、容易に変更できる利点を有している。この通信方法は、異なる電圧へ

の変移を、チップに対し内部的に検出でき、あるいは外部制御ラインを経てチップにプログラムできる利点を有している。

【0051】本発明を、その特定の実施例について示し説明したが、当業者であれば、本発明の趣旨と範囲から逸脱することなく、変形、変更できることが理解できるであろう。特に、これらの構造は、プロセッサ、コントローラ、メモリ・デバイスを含む（これらに限定されるものではないが）いかなる電圧CMOS電子デバイスにも適用できる。

【0052】まとめとして、本発明の構成に関して以下の事項を開示する。

(1) 同一または異なる内部電圧を有する複数の電子デバイスと、2個以上の前記電子デバイス間の相互接続手段と、前記内部電圧のうちの最低の内部電圧以下の共通の通信電圧で前記2個以上の電子デバイス間をインタフェースするための選択可能な通信電圧レベルで、信号を送信および受信するドライバ回路およびレシーバ回路と、前記選択された電圧のドライバおよびレシーバを形成する手段と、を備えることを特徴とする回路構造。

(2) 同一または異なる内部CMOS電圧を有する複数の電子デバイスと、2個以上の前記電子デバイス間の相互接続手段と、前記内部CMOS電圧のうちの最低の電圧以下の共通の通信電圧で前記2個以上の電子デバイス間をインタフェースするための選択可能な通信電圧レベルで、信号を送信および受信するドライバ回路およびレシーバ回路と、前記選択された電圧のドライバおよびレシーバを形成する手段とを備え、前記ドライバ回路は、インピーダンスを有し、前記ドライバ回路のインピーダンスを、出力電圧とは無関係にする回路であって、出力電圧依存制御信号を使用しない回路を備える、ことを特徴とする回路構造。

(3) 同一または異なる内部電圧を有する複数の電子デバイスと、2個以上の前記電子デバイス間の相互接続手段と、前記内部電圧のうちの最低の内部電圧以下の共通の通信電圧で前記2個以上の電子デバイス間をインタフェースするための選択可能な通信電圧レベルで、信号を送信および受信するドライバ回路およびレシーバ回路と、前記選択された電圧のドライバおよびレシーバを形成する手段と、前記レシーバ回路のための電圧基準を選択して、外部電圧基準または内部電圧基準を用いることができるようにする回路と、を備えることを特徴とする回路構造。

(4) 同一または異なる内部電圧を有する複数の電子デバイスと、2個以上の前記電子デバイス間の相互接続手段と、他の電子デバイスとインタフェースするための選択可能な入力/出力電圧レベルを与え、前記他の電子デバイスが、各々に最も適した信号電圧範囲を用いて通信することを可能にするドライバ回路およびレシーバ回路と、前記ドライバ回路の出力インピーダンスが、ドライ

パ回路の動作信号範囲にわたってほとんど変化しないことを保証する回路と、を備えることを特徴とする回路構造。

(5) 同一または異なる内部電圧を有する複数の電子デバイスと、2個以上の前記電子デバイス間の相互接続手段と、他の電子デバイスとインタフェースするための選択可能な入力／出力電圧レベルを与え、前記他の電子デバイスが、各々に最も適した信号電圧範囲を用いて通信することを可能にするドライバ回路およびレシーバ回路と、用いられる前記レシーバ回路の種類を選択しまたは調整して、外部から供給される基準電圧を有する差動コンパレータ回路の使用、または、調整可能なスレシヨ

ルドを有するインバータ・スタイルのレシーバの使用を可能にする回路と、を備えることを特徴とする回路構造。
(6) 同一または異なる内部電圧を有する複数の電子デバイスと、2個以上の前記電子デバイス間の相互接続手段と、他の電子デバイスとインタフェースするための選択可能な入力／出力電圧レベルを与え、前記他の電子デバイスが、各々に最も適した信号電圧範囲を用いて通信することを可能にするドライバ回路およびレシーバ回路と、用いられる前記レシーバ回路の種類を選択しまたは調整して、外部から供給される基準電圧を有する差動コンパレータ回路の使用、または、調整可能なスレシヨ

ルドを有するインバータ・スタイルのレシーバの使用を可能にする回路とを備え、前記外部の基準電圧を所定の電圧に設定することによって、前記選択を行う、ことを特徴とする回路構造。
(7) 同一または異なる内部CMOS電圧を有する複数の電子デバイスと、2個以上の前記電子デバイス間の相互接続手段と、いくつかの世代のCMOS技術をインタフェースするための選択可能な入力／出力電圧レベルを与え、前記技術で製造されたチップが、各チップに最も適した信号電圧範囲を用いて通信することを可能にするドライバ回路およびレシーバ回路と、用いられる前記レシーバ回路の種類を選択しまたは調整して、外部から供給される基準電圧を有する差動コンパレータ回路の使用、または、調整可能なスレシヨ

【図面の簡単な説明】

【図1】同一または異なる内部電圧の3個の電子デバイスを有する高速電子システムであって、バス上の最低内部電圧に等しい共通電圧で通信する高速電子システムのハイレベルでの略図である。

【図2】ドライバとボンディング・パッドとの間の最終

金属配線を含む42Ωの公称インピーダンスを有する可変電圧ドライバのハイレベルでの回路図である。

【図3】接合温度(T_j)の公称状態、CMOSプロセス状態、内部チップ電圧V_{dd}の下での回路に対する、V_{dd}Qの関数としてのインピーダンス特性を示す図である。

【図4】最終状態FETおよびインピーダンス整合抵抗の幅を2倍にする(あるいは抵抗値を半分にする)ことによって得られる25Ωの公称インピーダンスを有する可変電圧ドライバのハイレベルでの回路図である。

【図5】図2のドライバのインピーダンス特性を、T_jの状態を変化させたときのV_{dd}Qの関数として示す図である。

【図6】図2のドライバをインピーダンス特性を、CMOSプロセスの状態を変化させたときのV_{dd}Qの関数として示す図である。

【図7】図2のドライバをインピーダンス特性を、V_{dd}の状態を変化させたときのV_{dd}Qの関数として示す図である。

【図8】図2の3入力NANDおよび3入力NORプレドライバ・ロジックのデバイスレベルでの回路図である。

【図9】ワース・ケース低速状態下で、3つの異なる電圧に対して、チップ出力で100MHzで10pFのコンパレータを充電しおよび放電する図2のドライバのシミュレートした電圧波形図である。ロー状態からハイ状態へ、あるいはこの逆にドライブする時間は、電圧とは本質的に無関係である。

【図10】公称状態下で、3つの異なる電圧に対して、100MHzで10pFのコンパレータを充電しおよび放電する図2のドライバのシミュレートした電流波形図である。ドライバ電流の最大変化は、電圧にほぼ比例し、上下の変移にはほぼ無関係である。

【図11】公称状態下で、3つの異なる電圧に対して、100MHzで42Ω伝送ラインを充電しおよび放電する図2のドライバのシミュレートした電流波形図である。ドライバ・インピーダンスは、一定で、42Ωに等しい。

【図12】1.8V、2.5Vまたは3.3VのLVCMOSレベル、あるいはHSTL、GTL、SSTL-3またはSSTL-2.5に対するJEDECインタフェース標準に対応する信号電圧レベルの入力信号を受信することのできるCMOSレベルでの詳細回路図である。

【図13】図12のレシーバに示される簡単な2入力マルチプレクサの詳細を示す図である。このマルチプレクサは、2段レシーバの出力からの入力、またはチップ上の他の箇所からのテストデータを選択する。

【図14】図12のレシーバに対し、信号YおよびY_{ref}をV_{ref}およびV_{dd}から内部的に生成するのに用いるこ

10

20

30

40

50

とのできる簡単な回路を示す図である。

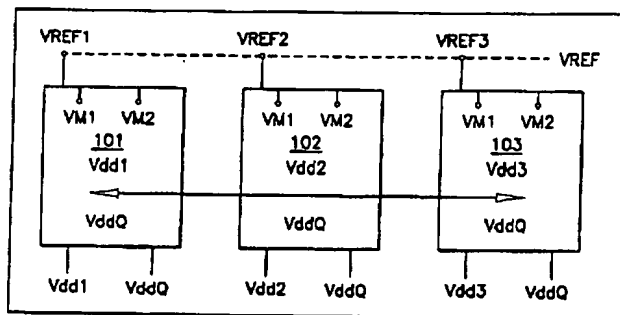
【図15】図12のレシーバの1.8V, 2.5V, 3.3V動作について、V_{dd}, V_{ddQ}および図14のY, Y_信号から、図1の信号VM1, VM2を内部的に生成するのに用いることができる簡単な回路を示す図である。

【符号の説明】

101, 102, 103 チップ
200, 300 ドライバ
201 pFET
202 nFET
203 NAND
204, 206 NOR

【図1】

可変電圧源



VM1, VM2, VREF 切りオフチップ・レシーバ

VM1, VM2 は、外部的または内部的に切りできる。

VREF は、外部的に切りできる。

207, 208, 209, 210, 211 抵抗

307, 308, 309, 310 抵抗

701, 711 pFETデバイス

704, 705, 706, 712, 713 nFETデバイス

1101 レシーバ入力

1110 差動入力段

1120 パスゲート

1130 電流源

10 1140, 1150 CMOSインバータ段

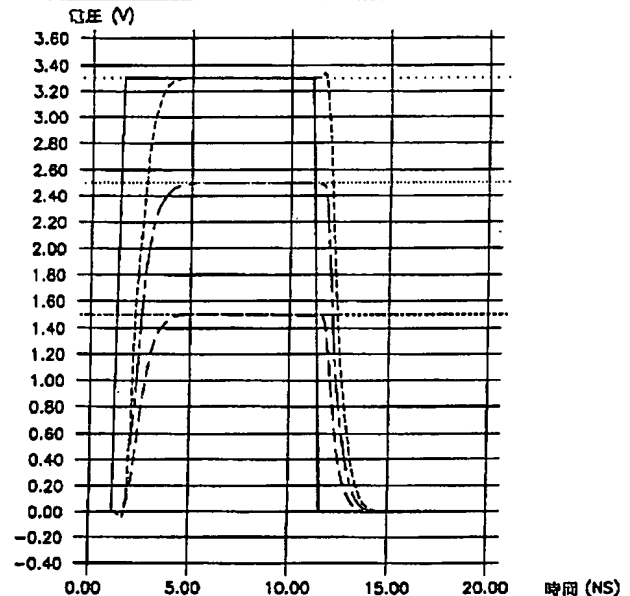
1160 マルチプレクサ

1170 制御ブロック

1180 制御回路

【図9】

10pFテスト負荷へのドライブ電圧, V=3.3V, T=40C, 各々の V_{ddQ}



T1.0:V_{ddQ}=1.5V
T1.0:INTO 10PF, 3.3V
T1.0:INTO 10PF, 2.5V
T1.0:INTO 10PF, 1.5V

T1.0:GATE
T1.0:V_{ddQ}=3.3V
T1.0:V_{ddQ}=2.5V

T_L-H=0.95NS
T_L-H=1.05NS
T_L-H=1.20NS

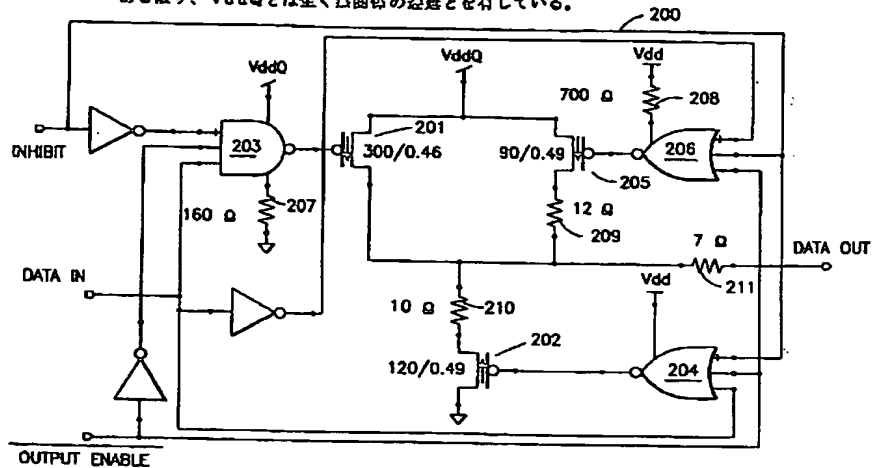
T_H-L=1.10NS
T_H-L=0.90NS
T_H-L=0.95NS

(V_T=1.4V, V_{ddQ}=3.3V)
(V_T=1.2V, V_{ddQ}=2.5V)
(V_T=0.75V, V_{ddQ}=1.5V)

【図2】

可変電圧ドライバ

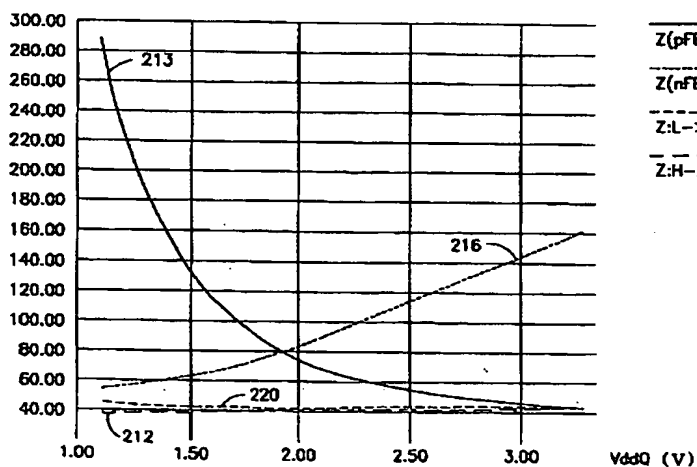
nFETゲートが0⇔V_{dd}で切り換えられ、pFETおよびnFETプルアップと、nFETプルダウンとの組合せは、出力インピーダンスと、V_{ddQ}<V_{dd}である限り、V_{ddQ}とは全く同様の遅延とを有している。



【図3】

"4 2 Ω" ドライバのインピーダンス、公称プロセス、T=40°C、V_{dd}=3.3V

インピーダンス (Ω)



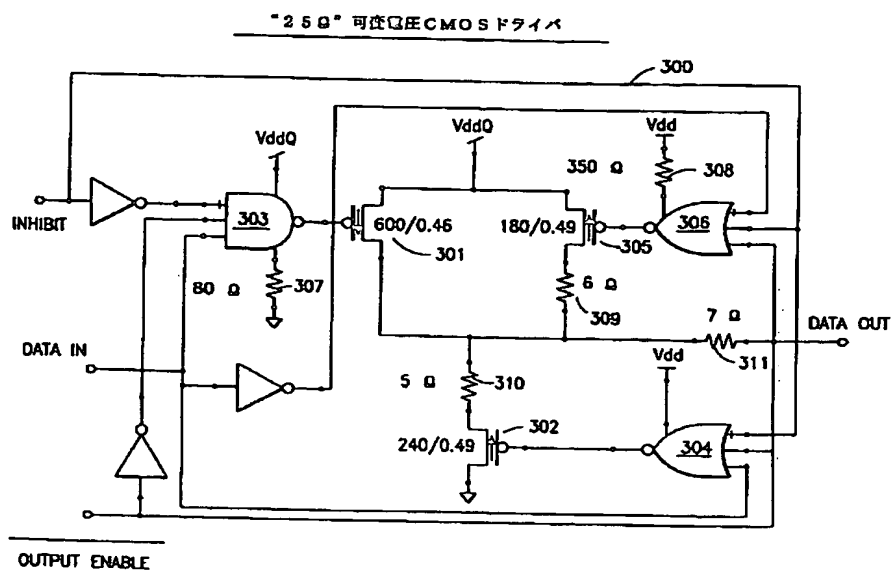
Z(pFET 7M77)

Z(nFET 7M77)

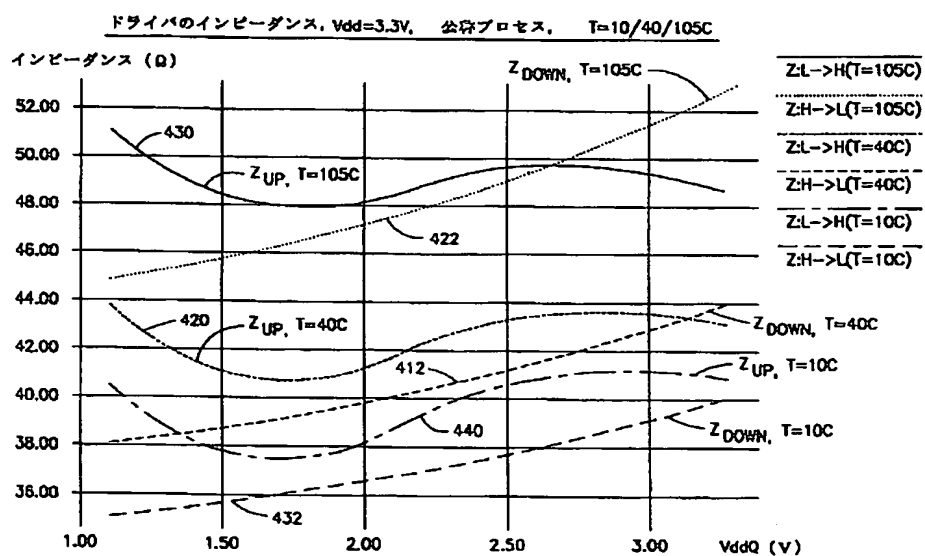
Z:L->H (pFET + nFET)

Z:H->L (nFET 7M77)

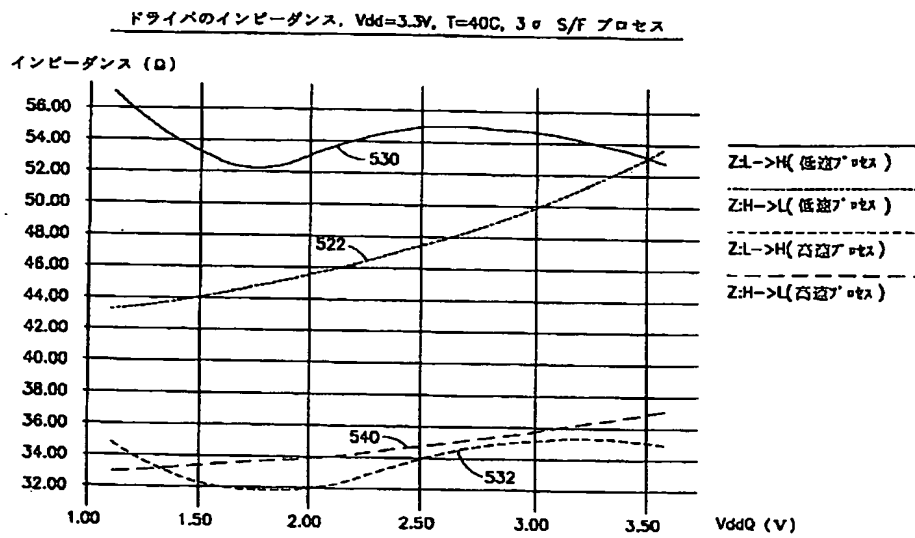
【図4】



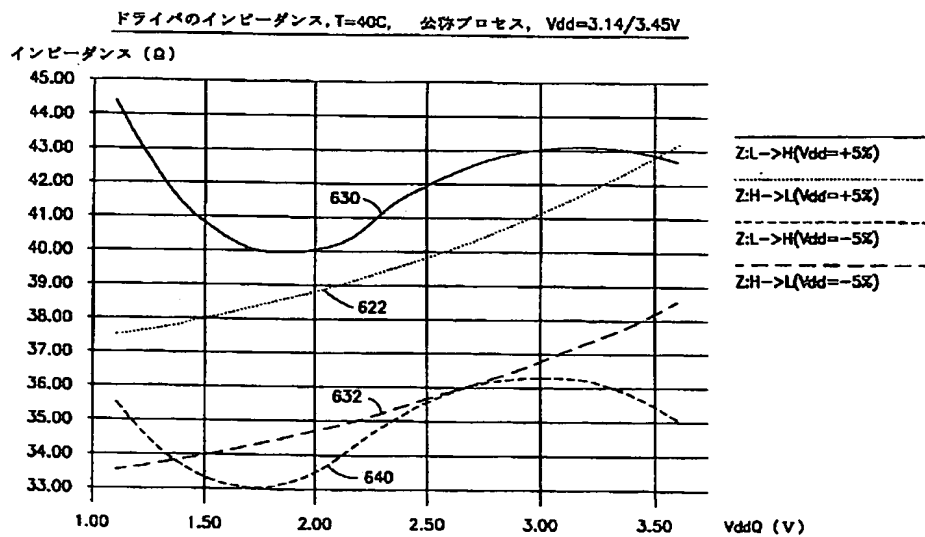
【図5】



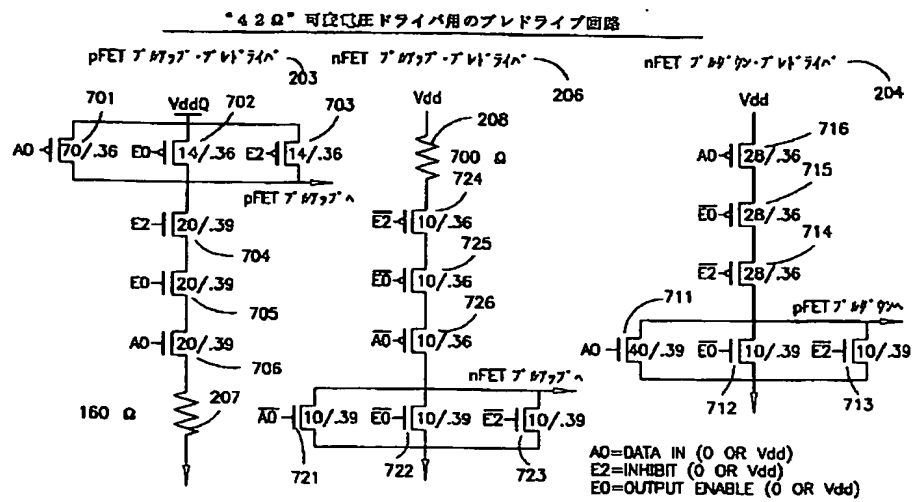
【図6】



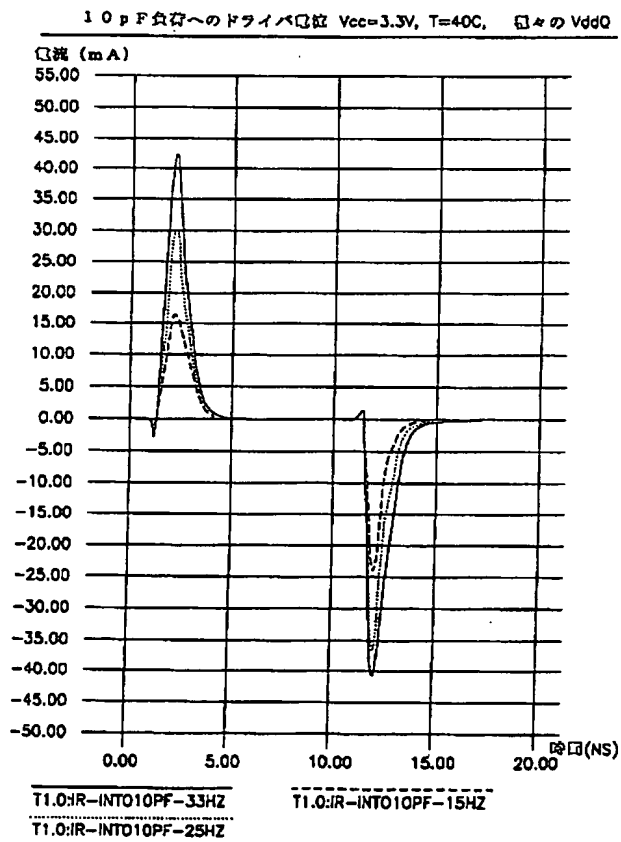
【図7】



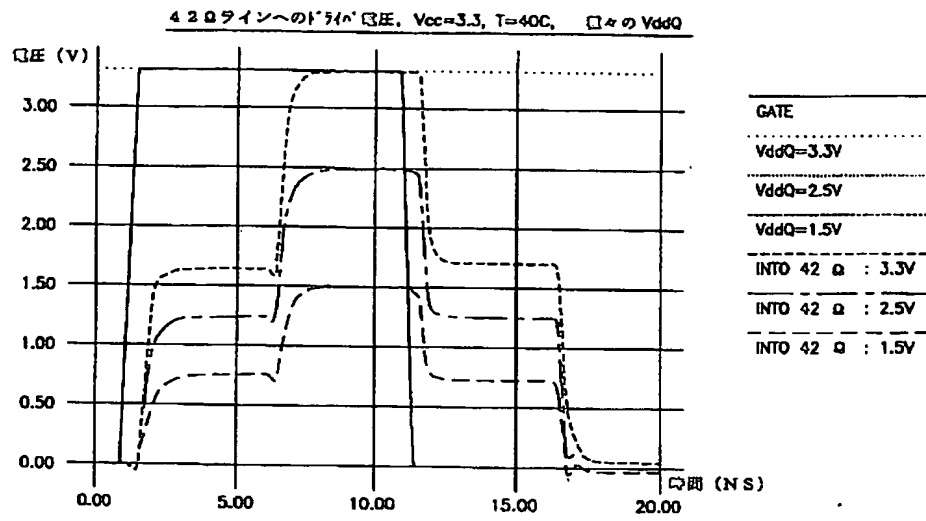
【図8】



【図10】

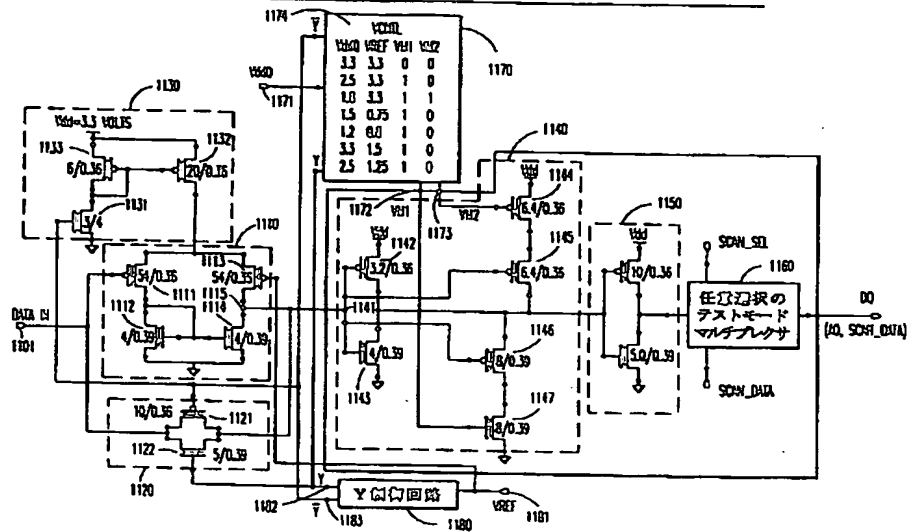


【図11】

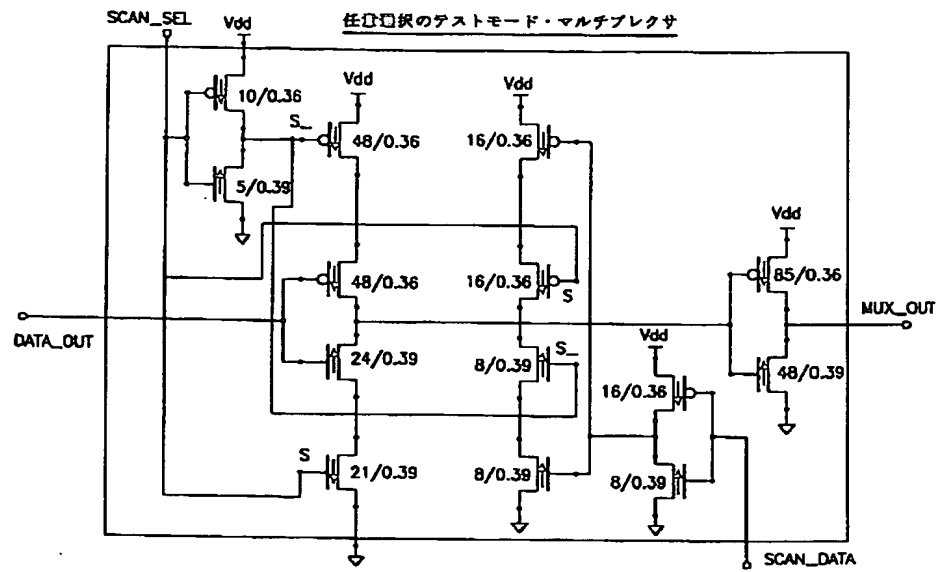


【図12】

可変スレシヨルド・インバークを有するLVCMOS, SSTL, GTL, HSTL互換性レシーバ

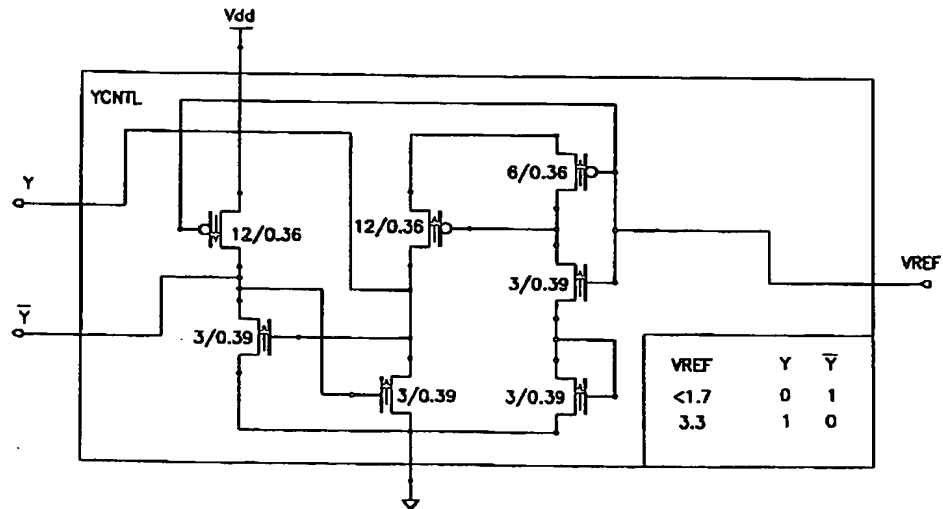


【図13】

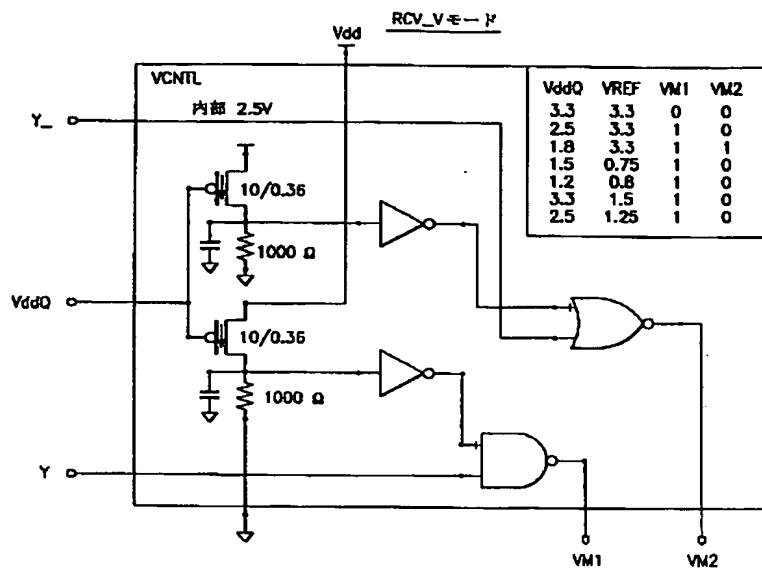


【図14】

Y制御回路



【図15】



フロントページの続き

(72)発明者 ポウル・ウィリアム・コテュース
 アメリカ合衆国 10598 ニューヨーク州
 ヨークタウン ハイッ クウインラン
 ストリート 2742

(72)発明者 ロバート・ヒース・デナード
 アメリカ合衆国 10801 ニューヨーク州
 ニューロシェール パルコット アヴェ
 ニュー 51

(72)発明者 ダニエル・マーク・ドレプス
 アメリカ合衆国 78626 テキサス州 ジ
 ヨージタウン ベルモント ドライブ
 300

(72)発明者 ジェラルド・ヴィンセント・コブクセイ
 アメリカ合衆国 10598 ニューヨーク州
 ヨークタウン ハイッ カリー ストリ
 ート 2950